



# KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020020015160 (43) Publication Date. 20020227

(21) Application No.1020000048326 (22) Application Date. 20000821

(51) IPC Code:

H01L 21/336

(71) Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:

BOO, JAE PIL

HONG, CHANG GI

KIM, GYEONG HYEON

LEE, SEON UNG

(30) Priority:

(54) Title of Invention

METHOD FOR FORMING METAL-OXIDE-SEMICONDUCTOR TRANSISTOR USING SELECTIVE SILICIDE PROCESS

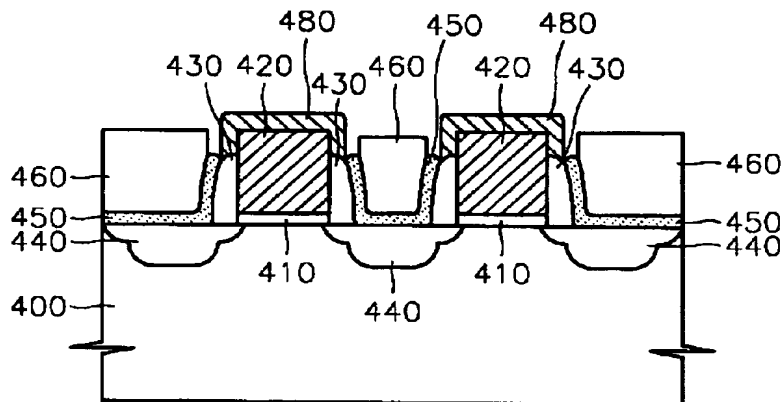
Representative drawing

(57) Abstract:

PURPOSE: A method for forming a metal-oxide-semiconductor(MOS) transistor using a selective silicide process is provided to control a defect inside a silicon substrate in a silicide process by selectively forming a silicide layer only on a gate polysilicon layer, and to form a relatively thin interlayer dielectric covering the silicide layer by forming the silicide layer after an insulation layer is formed.

CONSTITUTION: A gate insulation layer(410) and a gate polysilicon layer(420) are sequentially formed on the silicon substrate(400). A gate spacer(430) is formed on the sidewall of the gate insulation layer and the gate polysilicon layer. An impurity ion implantation process and a diffusion process are performed to form a source/drain region(440) in the substrate by using the gate spacer and the gate polysilicon layer as a mask. An etch stop layer(450) is formed to cover the source/drain region, the gate spacer and the gate polysilicon layer. An insulation layer(460) covering the etch stop layer is formed. The insulation layer is planarized to expose the etch stop layer on the gate polysilicon layer. Parts of the exposed etch stop layer and the gate spacer are etched to expose the upper surface and upper side surface of the gate polysilicon layer. The silicide layer(480) is selectively formed on the exposed portion of the gate polysilicon layer.

© KIPO 2002



if display of image is failed, press (F5)

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>7</sup> H01L 21/336		(45) 공고일자 (11) 등록번호 (24) 등록일자	2002년05월31일 10-0338778 2002년05월18일
(21) 출원번호 (22) 출원일자 (73) 특허권자 (72) 발명자 (74) 대리인	10-2000-0048326 2000년08월21일 삼성전자 주식회사 경기 수원시 팔달구 매탄3동 416 이선웅 경기도용인시기흥읍산7-1 부재필 경기도수원시팔달구영통동태영아파트931동1402호 김경현 서울특별시동작구상도1동810 홍창기 경기도수원시권선구권선동120벽산아파트401동801호 이영필, 정상빈, 이래호	(65) 공개번호 (43) 공개일자	특2002-0015160 2002년02월27일

심사관 : 정희환

## (54) 선택적 실리사이드 공정을 이용한 모스 트랜지스터의제조방법

## 요약

본 발명의 선택적 실리사이드 공정을 이용한 모스 트랜지스터의 제조 방법에 따르면, 먼저 실리콘 기판 위에 게이트 절연막 및 게이트 폴리실리콘막을 순차적으로 형성하고, 게이트 절연막 및 게이트 폴리실리콘막 측벽에 게이트 스페이서를 형성한다. 다음에 게이트 스페이서 및 게이트 폴리실리콘막을 마스크막으로 불순물 이온 주입 및 확산 공정을 수행하여 실리콘 기판에 소스/드레인 영역을 형성한다. 다음에 소스/드레인 영역, 게이트 스페이서 및 게이트 폴리실리콘막을 덮는 식각 저지막을 형성하고, 이어서 식각 저지막을 덮는 절연막을 형성한다. 다음에 절연막을 평탄화하여 게이트 폴리실리콘막 위의 식각 저지막을 노출시킨다. 다음에 노출된 식각 저지막 및 게이트 스페이서의 일부를 식각하여 게이트 폴리실리콘막의 상부 표면 및 상부 측면이 노출되도록 한다. 그리고 게이트 폴리실리콘막의 노출 부분 위에 실리사이드막을 형성한다.

## 대표도

## 도 11

## 명세서

## 도면의 간단한 설명

도 1 내지 도 4는 종래의 실리사이드 공정을 이용한 모스 트랜지스터의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

도 5 내지 도 12는 본 발명에 따른 선택적 실리사이드 공정을 이용한 모스 트랜지스터의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

## (도면의 주요 부분에 대한 부호의 설명&gt;

400...실리콘 기판    410...게이트 절연막  
420...게이트 폴리실리콘막    430...게이트 스페이서  
440...소스/드레인 영역    450...식각 저지막  
460...절연막    470...금속막  
480...실리사이드막    490...층간 절연막  
500...소스/드레인 전극    510...게이트 전극

## 발명의 상세한 설명

## 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로서, 보다 상세하게는 선택 적 실리사이드 공정을 이용한 모스 트랜지스터의 제조 방법에 관한 것이다.

최근 로직 소자에 사용되는 트랜지스터를 제조하는데 있어서 실리사이드 공정은 거의 필수적으로 적용되고 있는 추세이다. 실리사이드 공정은 실리콘 혹은 폴리실리콘 위에 고융점 금속 또는 전이 금속 등을 적층한 후에 열처리를 수행함으로써 금속과 실리콘의 합금인 실리사이드를 형성하는 공정이다. 이와 같은 실리사이드를 전극 재료로 사용함으로써 전극 저항이 낮아지며, 따라서 실리사이드는 높은 속도를 요구하는 로직 소자의 스위칭 속도를 향상시키는데 큰 기여를 한다.

도 1 내지 도 4는 종래의 실리사이드 공정을 이용한 모스 트랜지스터의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

먼저 도 1을 참조하면, 실리콘 기판(100) 위에 게이트 절연막(110) 및 게이트 폴리실리콘막(120)을 순차적으로 형성한다. 게이트 폴리실리콘막(120)을 형성한 후에는 이 게이트 폴리실리콘막(120)을 이온 주입 마스크로 하여 1차로 불순물 이온을 얇게 주입한다. 이어서 게이트 폴리실리콘막(120)의 측벽에 게이트 스페이서(130)를 형성한다. 다음에 게이트 폴리실리콘막(120) 및 게이트 스페이서(130)를 이온 주입 마스크로 하여 불순물 이온들을 2차로 깊게 주입한 후에, 주입된 불순물 이온들을 확산시켜 LDD(Lightly Doped Drain) 구조의 소스/드레인 영역들(140)을 형성한다. 다음에 소스/드레인 영역들(140)이 형성된 결과물 전면에 금속막(150)을 형성한다.

다음에 도 2를 참조하면, 금속막(150)이 형성된 결과물에 소정의 어닐링 공정을 수행하여 금속막(150)이 게이트 폴리실리콘막(120) 및 소스/드레인 영역(140)의 실리콘 원자들과 반응하도록 한다. 반응이 이루어지면 게이트 폴리실리콘막(120) 위에는 제1 실리사이드막(161)이 형성되고, 소스/드레인 영역(140) 위에는 제2 실리사이드막(162)이 형성된다. 한편 게이트 폴리실리콘막(120) 및 소스/드레인 영역(140)과 접촉되지 않은 금속막(150)은 실리콘 원자와의 반응이 일어나지 않는다. 따라서 제1 및 제2 실리사이드막(161, 162)을 형성한 후에는, 반응이 일어나지 않은 금속막을 제거한다.

다음에 도 3을 참조하면, 제1 및 제2 실리사이드막(161, 162)이 형성된 결과물 전면에 상기 결과물을 완전히 덮는 층간 절연막(170)을 형성한다. 다음에 화학 기계적 평탄화(CMP: Chemical Mechanical Polishing)와 같은 평탄화 공정을 수행하여 층간 절연막(170)을 평탄화한다.

다음에 도 4를 참조하면, 상기 층간 절연막(170)에 제1 실리사이드막(161)과 제2 실리사이드막(162)의 표면 일부를 노출시키는 컨택 홀을 각각 형성하고, 금속 물질을 사용하여 게이트 전극들(181) 및 소스/드레인 전극들(182)을 형성하게 되면, 제1 및 제2 실리사이드막(161, 162)의 존재로 인하여 게이트 전극들(181) 및 소스/드레인 전극들(182)의 저항이 감소되며, 결국 소자의 동작 속도를 향상시킬 수 있다.

그러나 상기와 같은 방법은 다음과 같은 문제점들이 있다.

첫째로, 제1 및 제2 실리사이드막(161, 162)을 형성하기 위하여 실리콘 기판(100) 위에 금속막(150)을 형성하는 단계가 고온에서 수행되므로, 실리콘 기판(100)과 금속막(150)의 계면 부근에 디스토션(distortion) 및 결정 파괴와 같은 결함들이 발생할 수 있다. 둘째로, 제1 및 제2 실리사이드막(161, 162) 형성을 위한 고온의 열처리 단계에 의해 실리콘 기판(100) 내에 누설 전류가 발생할 수 있다. 셋째로, 제1 및 제2 실리사이드막(161, 162)을 형성한 후에 실리콘 원자와 반응하지 않은 금속막(150)을 제거하는 단계에서 사용하는 화학 용액에 의해 게이트 폴리실리콘막(120)의 프로파일이 변경될 수도 있다. 그리고 넷째로 제1 및 제2 실리사이드막(161, 162)을 형성한 후에 층간 절연막(170)을 형성하므로, 후속 공정에서 제1 실리사이드막(161)을 보호하기 위하여 층간 절연막(170)의 두께가 두꺼워야만 한다.

특히 고속을 요구하지 않는 논리 소자에 적용할 모스 트랜지스터의 경우에는 소스/드레인 영역(140) 위에 실리사이드막을 형성하지 않아도 소자의 동작 속도 특성에 큰 영향을 끼치지 않으며, 따라서 실리콘 기판(100)에 영향을 주지 않도록 선택적으로 실리사이드막을 형성할 필요가 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 실리콘 기판에 결함이 발생되지 않도록 선택적 실리사이드 공정을 이용하여 모스 트랜지스터를 제조하는 방법을 제공하는 것이다.

### 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 선택적 실리사이드 공정을 이용한 모스 트랜지스터의 제조 방법에 따르면, 먼저 실리콘 기판 위에 게이트 절연막 및 게이트 폴리실리콘막을 순차적으로 형성한다. 다음에 상기 게이트 절연막 및 게이트 폴리실리콘막 측벽에 게이트 스페이서를 형성한다. 다음에 상기 게이트 스페이서 및 게이트 폴리실리콘막을 마스크막으로 불순물 이온 주입 및 확산 공정을 수행하여 상기 실리콘 기판에 소스/드레인 영역을 형성한다. 다음에 상기 소스/드레인 영역, 게이트 스페이서 및 게이트 폴리실리콘막을 덮는 식각 저지막을 형성한다. 다음에 상기 절연막을 평탄화하여 상기 게이트 폴리실리콘막 위의 식각 저지막을 노출시킨다. 다음에 노출된 상기 식각 저지막 및 게이트 스페이서의 일부를 식각하여 상기 게이트 폴리실리콘막의 상부 표면 및 상부 측면이 노출되도록 한다. 그리고 상기 게이트 폴리실리콘막의 노출 부분에 실리사이드막을 형성한다.

상기 식각 저지막은 상기 절연막과의 선택비가 1 이상인 물질을 사용하여 형성하는 것이 바람직하다.

또한 상기 식각 저지막은 10-2000 Å의 두께를 갖도록 형성하는 것이 바람직하다.

상기 절연막을 평탄화하는 단계는 화학 기계적 폴리싱법을 이용하여 수행할 수 있다. 또는 상기 절연막을 평탄화하는 단계는 에치 백을 이용하여 수행할 수도 있다.

노출된 상기 식각 저지막 및 게이트 스페이서의 일부를 식각하는 단계는 상기 게이트 폴리실리콘막의 상부 측면이 1500 Å 이하의 두께만큼 노출될 때까지 이루어지도록 하는 것이 바람직하다.

노출된 상기 식각 저지막 및 게이트 스페이서의 일부를 식각하는 단계 후에 상기 게이트 폴리실리콘막의 상부를 향하여 노출된 절연막의 노출 부분을 제거하는 단계를 더 포함할 수 있다. 이 경우에 상기 절연막의 노출 부분은 습식 식각법을 이용하여 제거하는 것이 바람직하다.

상기 실리사이드막을 형성하는 단계는, 상기 절연막, 식각 저지막 및 게이트 폴리실리콘막의 노출면 위에 금속막을 형성하는 단계와, 상기 금속막이 형성된 결과물에 열처리하여 상기 게이트 폴리실리콘막과 상기 금속막 사이에 실리사이드막을 형성하는 단계, 및 상기 열처리동안 반응하지 않은 금속막을 제거하는 단계를 포함하는 것이 바람직하다.

본 발명에 있어서, 상기 실리사이드막이 형성된 결과물 위에 층간 절연막을 형성하는 단계와, 상기 층간 절연막을 패터닝하여 상기 소스/드레인 영역 및 실리사이드막의 일부 표면을 노출시키는 컨택 홀을 각각 형성하는 단계, 및 상기 컨택 홀을 통하여 상기 소스/드레인 영역과 실리사이드막에 컨택되도록 소스/드레인 전극 및 게이트 전극을 각각 형성하는 단계를 더 포함하는 것이 바람직하다.

또한 상기 게이트 폴리실리콘막을 형성한 후에 상기 게이트 폴리실리콘막을 이온 주입 마스크로 하여 불순물 이온들을 알게 주입시키는 단계를 더 포함하는 것이 바람직하다.

이하 첨부 도면을 참조하면서 본 발명의 바람직한 실시예를 상세히 설명한다. 그러나 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 한정되는 것으로 해석되어서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명은 보다 완전하게 설명하기 위하여 제공되는 것이다.

도 5 내지 도 12는 본 발명에 따른 선택적 실리사이드 공정을 이용한 모스 트랜지스터의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

먼저 도 5에 도시된 바와 같이, 실리콘 기판(400) 위에 게이트 절연막(410) 및 게이트 폴리실리콘막(420)을 순차적으로 형성한다. 게이트 폴리실리콘막(420)을 형성한 후에는 이 게이트 폴리실리콘막(420)을 이온 주입 마스크로 하여 1차로 불순물 이온을 알게 주입한다. 이어서 통상의 방법을 사용하여, 게이트 폴리실리콘막(420)의 측벽에 게이트 스페이서(430)를 형성한다. 상기 게이트 스페이서(430)는 SiN막을 사용하여 형성할 수 있다. 다음에 게이트 폴리실리콘막(420) 및 게이트 스페이서(430)를 이온 주입 마스크로 하여 불순물 이온들을 2차로 깊게 주입한 후에, 주입된 불순물 이온들을 확산시켜 실리콘 기판(400) 내에 LDD(Lightly Doped Drain) 구조의 소스/드레인 영역들(440)을 형성한다.

다음에 도 6에 도시된 바와 같이, 소스/드레인 영역(440), 게이트 스페이서(430) 및 게이트 폴리실리콘막(420)을 덮는 식각 저지막(450)을 형성한다. 이 식각 저지막은 후속 공정에서 형성될 절연막과 선택비가 적어도 1인 물질을 사용하여 형성한다. 예를 들면, 상기 절연막이 산화막인 경우 식각 저지막(450)은 SiN막 또는 SiON막을 사용하여 형성할 수 있다. 상기 식각 저지막(450)은 화학 기상 증착법을 사용하여 형성할 수 있으며, 그 두께는 대략 10-2000 Å이 되도록 한다.

다음에 도 7에 도시된 바와 같이, 상기 식각 저지막(450)을 덮는 절연막(460)을 형성한다. 상기 절연막(460)은 게이트 폴리실리콘막(430)이 형성된 부분과 형성되지 않은 부분에서의 단차에 의한 영향을 최소화하고 후속 공정인 평탄화 공정에서의 제거량의 최소화를 위하여 갭 필(gap fill) 특성이 양호한 물질을 사용하여 형성한다. 예를 들면 고밀도 플라즈마(HDP: High Density Plasma) 산화물, 도핑되지 않은 실리콘 유리(USG: Undoped Silicate Glass) BPSG(Boron Phosphorus Silicate Glass) 혹은 TEOS(Tetra Ethyl Ortho Silicate)를 사용하여 형성할 수 있지만, 반드시 이에 한정되는 것은 아니다. 또한 앞서 설명한 바와 같이, 상기 절연막(460)은 식각 저지막(450)의 선택비가 1 이상이다.

다음에 도 8에 도시된 바와 같이, 상기 절연막(460)을 평탄화하여 게이트 폴리실리콘막(420) 위의 식각 저지막(450)을 노출시킨다. 상기 평탄화는 화학 기계적 폴리싱(CMP: Chemical Mechanical Polishing)을 이용하거나, 혹은 드라이 에치 백(dry etch back)을 이용하여 수행한다. 식각 저지막(450)과 절연막의 선택비가 1 이상이므로 상기 평탄화는 식각 저지막(450)이 노출될 때까지 이루어질 수도 있으며, 또는 식각 저지막(450)이 노출된 후 일정 시간이 경과될 때까지 이루어질 수도 있다. 경우에 따라서는 식각 저지막(450)이 노출되기 전에 상기 평탄화를 중지할 수도 있는데, 예를 들면 식각 저지막(450) 위의 절연막(460)의 두께가 대략 2000 Å 이하가 되면 상기 평탄화를 중지시킨다. 이 경우 게이트 폴리실리콘막(420) 위의 식각 저지막(450)상에 잔존하는 절연막(460)을 제거하기 위하여 선택비가 1 이하인, 즉 절연막(460) 식각률이 식각 저지막(450)의 식각률보다 큰 화학 용액을 사용하여 게이트 폴리실리콘막(420) 위의 식각 저지막(450)이 노출되도록 잔존하는 절연막(460)을 제거한다. 예를 들면, 절연막(460)으로서 산화막을 사용하고 식각 저지막(450)으로서 SiN막을 사용하는 경우, 상기 화학 용액으로는 LAL 혹은 HF 용액을 사용할 수 있다.

다음에 도 9에 도시된 바와 같이, 식각 저지막(450) 및 게이트 스페이서(430)의 일부를 식각하여 게이트 폴리실리콘막(420)의 상부 표면 및 상부 측면이 노출되도록 한다. 상기 식각은 습식 식각법 및 건식 식각법 모두를 사용하여 수행되도록 할 수 있는데, 어느 경우나 식각 저지막(450) 및 게이트 스페이서(430)의 식각률이 절연막(460)의 식각률보다 1배 이상이 되도록 한다. 또한 이때의 식각은 다소의 과도 식각(over etch)이 되도록 하여, 게이트 폴리실리콘막(420)의 상부 측면이 대략 1500 Å 이하의 두께만큼 노출되도록 한다. 일반적으로 식각 저지막(450) 및 게이트 스페이서(430)가 질화막으로 이루어진 경우, 상기 식각은  $H_3PO_4$  용액을 이용하여 수행할 수 있다. 이와 같은 식각 저지막(450) 및 게이트 스페이서(430)의 일부에 대한 식각이 이루어지면, 게이트 폴리실리콘막(420)의 상부 측면 둘레에는

그루브(groove)가 형성된다. 한편 절연막(460)에 대한 식각 저지막(450) 및 게이트 스페이서(430)의 식각 선택비가 1 이상이므로, 식각이 종료된 후의 절연막(460)의 형상은 게이트 폴리실리콘막(420)의 상부를 향한 돌출 부분(p)을 갖는 역 기울기(negative slop)를 갖는 형상이 된다.

다음에 도 10에 도시된 바와 같이, 상기 절연막(460)의 돌출 부분(p)을 제거한다. 그리고 그 결과물 전면에 금속막(470)을 형성한다. 상기 절연막(460)의 돌출 부분(p)은 후속 실리사이드막 형성을 위한 금속막 적층시에 적층 프로파일을 양호하게 하기 위해서는 제거되어야 하며, HF 용액 등을 이용한 통상의 등방성 식각법을 이용하여 제거한다.

다음에 도 11에 도시된 바와 같이, 노출된 게이트 폴리실리콘막(420) 위에 실리사이드막(480)을 형성한다. 이를 위하여, 상기 금속막(470)이 형성된 결과물에 열처리(annealing)를 수행하여, 금속막(470)이 게이트 폴리실리콘막(420)의 실리콘 원자들과 반응하도록 한다. 반응이 이루어지면 게이트 폴리실리콘막(420)과 금속막(470)의 계면에는 실리사이드막(480)이 형성된다. 그러나 게이트 폴리실리콘막(420)과 접촉되지 않은 부분에서의 금속막(470)은 실리콘 원자와의 반응이 일어나지 않는다. 따라서 실리사이드막(480)을 형성한 후에는, 반응이 일어나지 않은 금속막을 통상의 방법을 사용하여 제거한다.

다음에 도 12에 도시된 바와 같이, 실리사이드막(480)이 형성된 결과물을 완전히 덮는 층간 절연막(490)을 형성한다. 이어서 통상의 리소그래피법을 이용한 노광 및 현상을 수행하여 층간 절연막(490) 위에 포토레지스트막 패턴(미도시)을 형성한다. 다음에 상기 포토레지스트막 패턴을 식각 마스크로 하여 층간 절연막(490)을 식각하여 실리사이드막(480)의 일부 표면을 노출시키는 컨택 홀을 형성하는 한편, 층간 절연막(490), 절연막(460) 및 식각 저지막(450)의 일부를 식각하여 소스/드레인 영역(440)을 노출시키는 컨택 홀을 형성한다. 다음에 포토레지스트막 패턴을 제거한 후에, 상기 컨택 홀을 금속막으로 채움으로써 소스/드레인 전극(500) 및 게이트 전극(510)을 만든다.

#### 발명의 효과

이상의 설명에서와 같이, 본 발명에 따른 선택적 실리사이드 공정을 이용한 모스 트랜지스터의 제조 방법에 의하면, 고속을 요구하지 않는 모스 트랜지스터에 있어서 소스/드레인 영역 위에는 실리사이드막을 형성하지 않고 게이트 폴리실리콘막 위에만 실리사이드를 선택적으로 형성하므로 실리사이드 공정 중에 발생하는 실리콘 기판 내의 결함을 억제할 수 있다. 또한 절연막을 형성한 후에 실리사이드막을 형성하므로 실리사이드막 형성 후에 상기 실리사이드막을 덮도록 형성하는 층간 절연막의 두께를 상대적으로 얇게 할 수 있다는 이점도 있다.

#### (57) 청구의 범위

##### 청구항 1

실리콘 기판 위에 게이트 절연막 및 게이트 폴리실리콘막을 순차적으로 형성하는 단계;

상기 게이트 절연막 및 게이트 폴리실리콘막 측벽에 게이트 스페이서를 형성하는 단계;

상기 게이트 스페이서 및 게이트 폴리실리콘막을 마스크막으로 불순물을 이온 주입 및 확산 공정을 수행하여 상기 실리콘 기판에 소스/드레인 영역을 형성하는 단계;

상기 소스/드레인 영역, 게이트 스페이서 및 게이트 폴리실리콘막을 덮는 식각 저지막을 형성하는 단계;

상기 식각 저지막을 덮는 절연막을 형성하는 단계;

상기 절연막을 평탄화하여 상기 게이트 폴리실리콘막 위의 식각 저지막을 노출시키는 단계;

노출된 상기 식각 저지막 및 게이트 스페이서의 일부를 식각하여 상기 게이트 폴리실리콘막의 상부 표면 및 상부 측면이 노출되도록 하는 단계; 및

상기 게이트 폴리실리콘막의 노출 부분 위에 선택적으로 실리사이드막을 형성하는 단계를 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조 방법.

##### 청구항 2

제1항에 있어서,

상기 식각 저지막은 상기 절연막과의 선택비가 1 이상인 물질을 사용하여 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조 방법.

##### 청구항 3

제1항에 있어서,

상기 식각 저지막은 10-2000 Å의 두께를 갖도록 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조 방법.

##### 청구항 4

제1항에 있어서,

상기 절연막을 평탄화하는 단계는 화학 기계적 폴리싱법을 이용하여 수행하는 것을 특징으로 하는 모스 트랜지스터의 제조 방법.

##### 청구항 5

제1항에 있어서,

상기 절연막을 평탄화하는 단계는 에치 백을 이용하여 수행하는 것을 특징으로 하는 모스 트랜지스터의 제조 방법.

#### 청구항 6

제1항에 있어서,

노출된 상기 식각 저지막 및 게이트 스페이서의 일부를 식각하는 단계는 상기 게이트 폴리실리콘막의 상부 측면이 1500 Å 이하의 두께만큼 노출될 때까지 이루어지도록 하는 것을 특징으로 하는 모스 트랜지스터의 제조 방법.

#### 청구항 7

제1항에 있어서,

노출된 상기 식각 저지막 및 게이트 스페이서의 일부를 식각하는 단계 후에 상기 게이트 폴리실리콘막의 상부를 향하여 돌출된 절연막의 돌출 부분을 제거하는 단계를 더 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조 방법.

#### 청구항 8

제7항에 있어서,

상기 절연막의 돌출 부분은 습식 식각법을 이용하여 제거하는 것을 특징으로 하는 모스 트랜지스터의 제조 방법.

#### 청구항 9

제1항에 있어서, 상기 실리사이드막을 형성하는 단계는,

상기 절연막, 식각 저지막 및 게이트 폴리실리콘막의 노출면 위에 금속막을 형성하는 단계;

상기 금속막이 형성된 결과물에 열처리하여 상기 게이트 폴리실리콘막과 상기 금속막 사이에 실리사이드막을 형성하는 단계; 및

상기 열처리동안 반응하지 않은 금속막을 제거하는 단계를 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조 방법.

#### 청구항 10

제1항에 있어서,

상기 실리사이드막이 형성된 결과물 위에 층간 절연막을 형성하는 단계;

상기 층간 절연막을 패터닝하여 상기 소스/드레인 영역 및 실리사이드막의 일부 표면을 노출시키는 컨택 홀을 각각 형성하는 단계; 및

상기 컨택 홀을 통하여 상기 소스/드레인 영역과 실리사이드막에 컨택되도록 소스/드레인 전극 및 게이트 전극을 각각 형성하는 단계를 더 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조 방법.

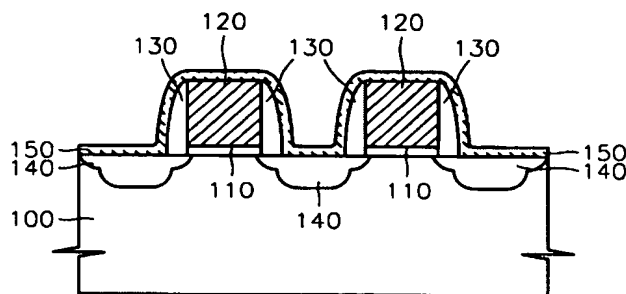
#### 청구항 11

제1항에 있어서,

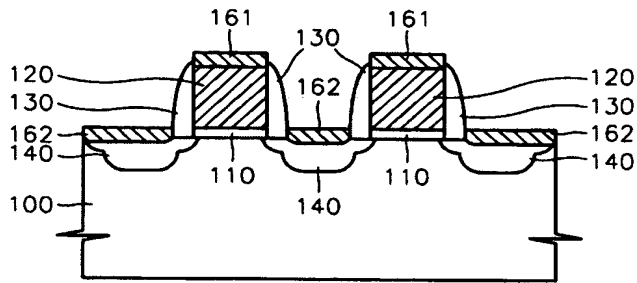
상기 게이트 폴리실리콘막을 형성한 후에 상기 게이트 폴리실리콘막을 이온 주입 마스크로 하여 불순물 이온들을 얇게 주입시키는 단계를 더 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조 방법.

도면

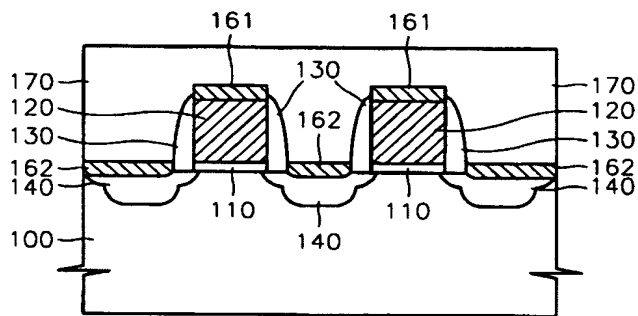
도면1



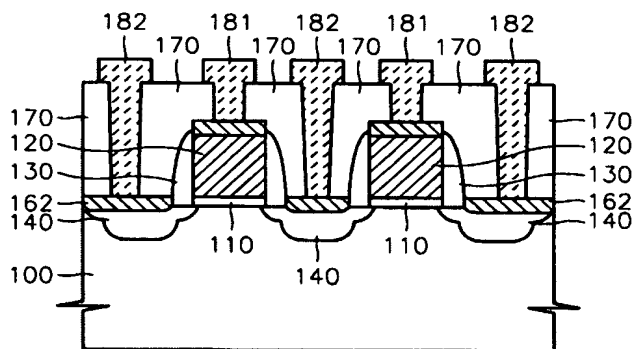
도면2



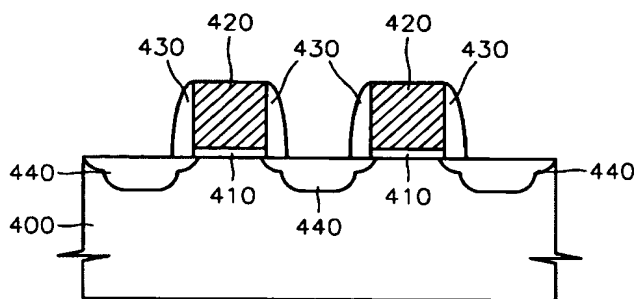
도면3



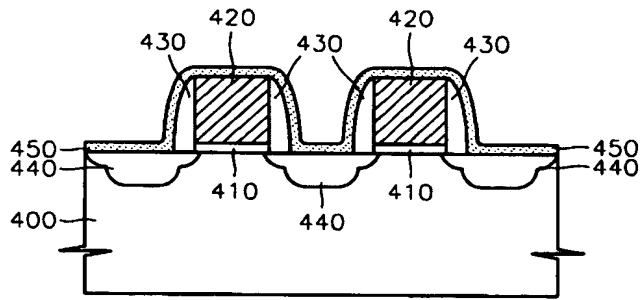
도면4



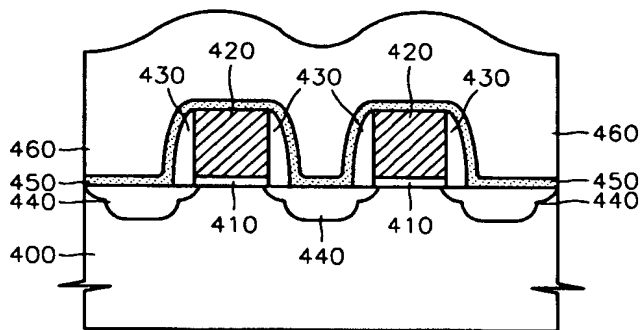
도면5



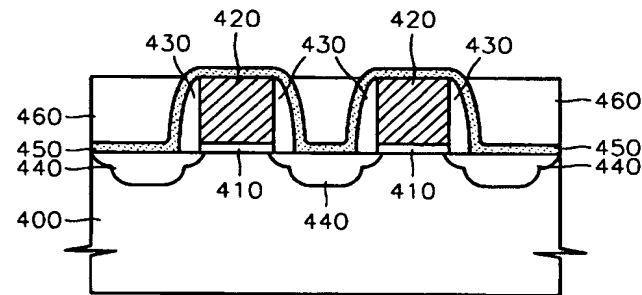
도면6



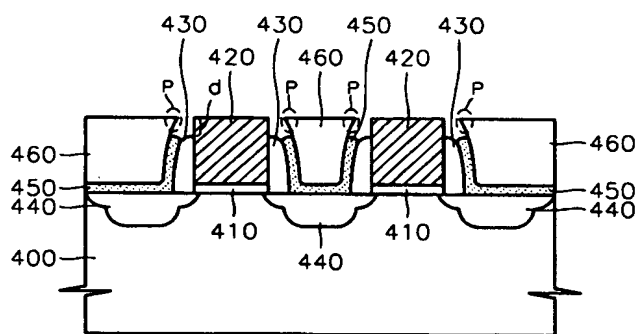
도면7



도면8

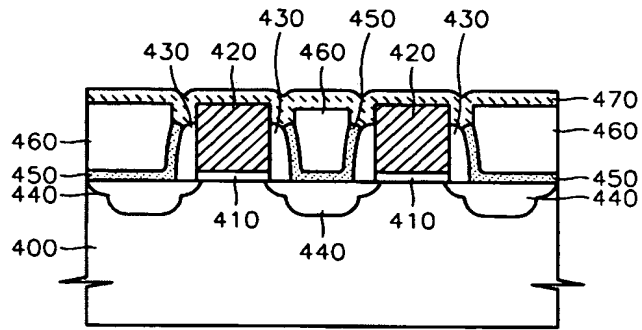


도면9

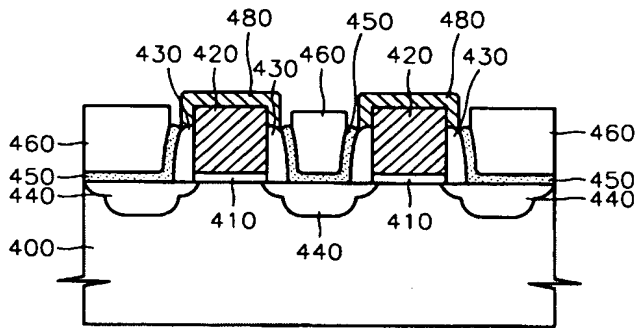




도면 10



도면 11



도면 12

